

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-193135

(43)Date of publication of application : 28.07.1995

(51)Int.CI. H01L 21/8242

H01L 27/108

(21)Application number : 05-330920

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.12.1993

(72)Inventor : JINNO YOSHISAKU

HAYASHI SHIGENORI

HIRAO TAKASHI

(54) METHOD OF MANUFACTURING DIELECTRIC THIN FILM AND
FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To provide a method for directly manufacturing a ferroelectric thin film on GaAs semiconductor substrate at a low substrate temperature and a field-effect transistor.

CONSTITUTION: (100) GaAs substrate is used as a substrate 10 and Pb, La, Zr and Ti metal targets are used as targets 5, 6, 7, and 8 respectively. Argon ion beams are applied from ion source 1, 2, 3 and 4 and a dielectric thin film 9 is formed on the substrate 10. When applying charge particles or ultraviolet rays to an oxide or a metal target. Perovskite-type ferroelectric thin film is formed on GaAs substrate at 450°C or less.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-193135

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8242 27/108		7210-4M	H 0 1 L 27/ 10	3 2 5 M

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平5-330920

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 神野 伊策

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 林 重徳

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 平尾 孝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

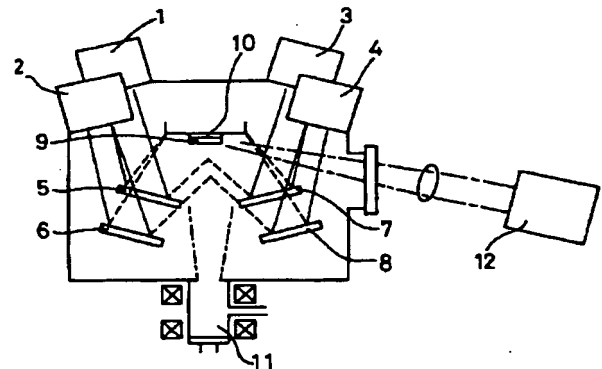
(74) 代理人 弁理士 池内 寛幸 (外1名)

(54) 【発明の名称】 誘電体薄膜の製造方法及び電界効果トランジスタ

(57) 【要約】 (修正有)

【目的】 GaAs半導体基板上に強誘電体薄膜を低い基板温度で直接製造する方法及び電界効果トランジスタを提供する。

【構成】 基板10として(100)GaAs基板を用い、ターゲット5、6、7および8としてそれぞれPb、La、ZrおよびTiの金属ターゲットを用いた。そしてイオン源1、2、3および4からアルゴンイオンビームを照射し、基板10上に誘電体薄膜9を形成する。酸化物または金属のターゲットに荷電粒子または紫外線光を照射の際、ペロブスカイト型強誘電体薄膜を450℃以下の温度でGaAs基板上に形成する。



【特許請求の範囲】

【請求項 1】 酸化物または金属のターゲットに荷電粒子または紫外線光を照射することにより、ペロブスカイト型強誘電体薄膜を 450℃以下の温度でGaAs基板上に形成する誘電体薄膜の製造方法。

【請求項 2】 基板上の第 1 層としてPbとTiを主成分とするペロブスカイト型強誘電体薄膜、第 2 層としてPb、TiおよびZrを主成分とするペロブスカイト型強誘電体薄膜を形成する請求項 1 に記載の誘電体薄膜の製造方法。

【請求項 3】 GaAs基板を用いた電界効果トランジスタにおいて、ゲートキャパシタを第 1 層としてPbとTiを主成分とするペロブスカイト型強誘電体薄膜、第 2 層としてPb、TiおよびZrを主成分とするペロブスカイト型強誘電体薄膜から構成される電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、誘電体薄膜の製造方法に関する。さらに詳しくは特定構造の誘電体薄膜を用いた半導体素子およびその製造方法に関する。

【0002】

【従来の技術】 近年注目されている薄膜材料に ABO_3 で構成されるペロブスカイト型構造を有する誘電体材料がある。 ABO_3 としてAサイトがPb、Ba、SrまたはLaの少なくとも1種、BサイトがTi、およびZrなどのうち少なくとも1種の元素を含むものが挙げられる。そのうち $PbTiO_3$ 系、 $NaTiO_3$ 系に代表される強誘電体材料が広く知られており、これらは優れた強誘電性、圧電性、焦電性、電気光学特性等を示し、これを利用したメモリ、センサおよびフィルタなど種々の機能デバイスが検討されている。

【0003】 強誘電体薄膜の応用としてDRAMをはじめとする半導体を用いたメモリに関する研究開発は近年盛んに行われており、特に鉛系の強誘電体である $Pb(Zr_xTi_{1-x})O_3$ ($0 \leq x < 1$) (以下これらをPZTと呼ぶ) は比誘電率1000以上の高い値を示し、かつ印加した電界を切った状態でも高い残留分極を保持する優れた強誘電性から、DRAMだけでなく不揮発メモリへの応用も考えられている。これらの誘電体は結晶方向によってその電気的特性が異なり、それぞれの応用を考慮した結晶配向膜を形成することにより、各種特性を最大限に引き出すことができる。ペロブスカイト型強誘電体薄膜の形成方法として、rfスパッタをはじめイオンビームスパッタ、MOCVD、レーザアブレーションやゾル・ゲル法などがあり、それぞれの特徴をいかした製造方法が研究されている。

【0004】 PZT薄膜は上述したように高い比誘電率を有しかつ優れた強誘電特性から各種メモリへの応用が考えられているが、現在半導体基板上の金属電極の上に形成することで良質のPZT薄膜が形成できることから、これをスイッチングトランジスタとそれにつながる

キャパシタとしての構成をとることにより、DRAMまたは不揮発メモリの実現を試みている。しかしDRAMでは記憶した情報を維持するため定期的にリフレッシュをおこなうことが必要であり、またこの構成の不揮発メモリにおいても読みだしの時に記憶情報を破壊してしまうため読みだしの後に再書き込みをしなければならない。これとは別にスイッチングトランジスタとして用いる電界効果トランジスタ(FET)のゲート上に通常シリコン酸化物を用いるが、これをPZTなどの強誘電体に置き換えることによりメモリ動作をする不揮発メモリも提案されており、この構成では読みだしの時に記憶していた情報を破壊しない非破壊読みだしができ、理想的なメモリ動作をするものと考えられている。

【0005】

【発明が解決しようとする課題】 上述したようにPZTなどの強誘電体薄膜を半導体基板上に直接形成することができればそれをFETのゲート上に用いることで非破壊読みだしが可能な半導体メモリが実現できる。しかし従来の製造方法では低いプロセス温度で結晶性のよい強誘電体薄膜を形成することは困難であるため、ゲート付近に誘起されるダメージや酸化物の形成を防いで良好な強誘電特性をしめすPZT薄膜を形成することが困難であった。

【0006】 本発明は前記従来の課題を解決するもので、半導体基板上に強誘電体薄膜を低い基板温度で直接形成する方法、及び電界効果トランジスタを提供することを目的とする。

【0007】

【課題を解決するための手段】 前記目的を達成するため、本発明にかかる誘電体薄膜の製造方法は、酸化物または金属のターゲットに荷電粒子または紫外線光を照射することにより、ペロブスカイト型強誘電体薄膜を400℃以下の温度でGaAs基板上に形成することを特徴とする。

【0008】 前記本発明の方法の構成においては、基板の第 1 層としてPbとTiを主成分とするペロブスカイト型強誘電体薄膜、第 2 層としてPb、TiおよびZrを主成分とするペロブスカイト型強誘電体薄膜を形成することが好ましい。

【0009】 また本発明に係るGaAs基板を用いた電界効果トランジスタにおいて、ゲートキャパシタを第 1 層としてPbとTiを主成分とするペロブスカイト型強誘電体薄膜、第 2 層としてPb、TiおよびZrを主成分とするペロブスカイト型強誘電体薄膜からなる構成の電界効果トランジスタであることを特徴とする。

【0010】

【作用】 前記本発明の構成によって、ターゲットに荷電粒子もしくは紫外光を照射することによりターゲットからはじき出された粒子が基板に付着し薄膜を形成するが、この粒子の運動エネルギーが通常の蒸着方法より高

3

いことから、ペロブスカイト型強誘電体薄膜を低い基板温度で形成することができ、また基板としてGaAsを用いることにより、表面に酸化膜をほとんど形成することなくエピタキシャルにペロブスカイト型強誘電体薄膜を成長させることができる。

【0011】また形成するペロブスカイト型強誘電体薄膜を基板上に第1層としてPbとTiを主成分とするペロブスカイト型強誘電体薄膜、第2層としてPb、TiおよびZrを主成分とするペロブスカイト型強誘電体薄膜という好ましい構成にすればZrの含有に起因する結晶性の悪い初期層の形成を防ぐことができる。

【0012】また本発明の製造法を用いてGaAs FETのゲートに上記構成を有するペロブスカイト型強誘電体薄膜を作製すると、ゲート上の強誘電体薄膜の分極反転により、良好なメモリ動作をするFETが実現できた。

【0013】

【実施例】以下本発明の一実施例における誘電体薄膜の製造方法について、図面を参照しながら説明する。

【0014】図1に本発明にかかる薄膜形成装置の一実施例を示す。本形成装置の主たる堆積機構として、イオン源1、2、3および4による最大4元のターゲットによるイオンビームスパッタ機構を有しており、ターゲット5、6、7および8には金属を用いる。イオンビーム電流の制御およびシャッターリングによって、誘電体薄膜9の組成および構造制御を行うことができる。ペロブスカイト構造の結晶性薄膜を成長させる基板10としては、(100)GaAsを用いた。本形成装置には、さらにアシストイオン源11およびエキシマレーザ12によるイオンアシストおよび光アシストの機構がそれぞれ併設されている。アシストイオン源11としてはECR型イオン源が設置されている。以下、本発明がさらに良く理解されるように酸化物強誘電体を例にとりて述べる。

【0015】図1の形成装置を用いて、強誘電体 $(\text{Pb}_{1-x}\text{La}_x)(\text{Zr}_y\text{Ti}_{1-y})_{1-x/4}\text{O}_3$ (ここに、 x および y は、それぞれ0を越え1未満の数値であり、以下これらをPLZTと呼ぶ)を作製する場合について述べる。ターゲット5、6、7および8にはそれぞれPb、La、ZrおよびTiの金属ターゲットを用い、イオン源1、2、3および4によりアルゴンイオンビームを照射して、基板10上にスパッタリング蒸着する。このときの形成槽内には酸化性ガスを減圧下で導入し、十分に酸化された強誘電体薄膜が得られた。またそれぞれのイオン源の加速電圧及びビーム電流を制御することで形成する薄膜の組成を自由に変化させることができる。基板温度は400℃に保ってある。図2はこの様にして形成されたPLZT誘電体薄膜のX線回折強度を示す図である。図2に示すように誘電体薄膜の結晶構造はc軸方向にペロブスカイト構造を有している。なおターゲットをPb、La、ZrおよびTiの混合物のほか酸化物を用いても同様な薄膜が得られた。またターゲットを照射するアル

4

ゴンイオンビームに代えて紫外線レーザを照射しても基板に良好な結晶性を有するペロブスカイト型強誘電体薄膜が得られた。さらにアシストイオン源11から酸素イオンを基板に対して照射し、またエキシマレーザ12による紫外線光を基板に対して照射しながら薄膜を形成すると、形成したペロブスカイト型強誘電体薄膜の結晶性が向上した。

【0016】このほか図1に示す形成装置を用いてGaAs基板上にまず第1層としてZrをスパッタせずに $(\text{Pb}_{1-x}\text{La}_x)(\text{Ti}_{1-x/4}\text{O}_3)$ ($0 \leq x < 1$ 、以下これらをPLTと呼ぶ)強誘電体薄膜を形成し、その後Laの代わりにZrのスパッタを行ってPZT強誘電体薄膜を形成した。形成した薄膜の結晶性は図2に示したものと同様c軸に配向した薄膜が得られた。Zrを含有するPLZTやPZT薄膜は良好な強誘電特性を有するため、Zrを含まないPLT薄膜よりもメモリなどの応用には適しているが、その形成においてはZrの含有のため結晶性のよい薄膜を形成することが困難であった。しかしまず(100)GaAs基板上にZrを含まないPLTを形成することでZrを含むPLZTもc軸に配向した薄膜が得られた。

【0017】図3にGaAs基板を用いたFETを示す。ゲートキャパシタの構成は基板上にPLT強誘電体薄膜、その上にPZT強誘電体薄膜、最上部のAl上部電極からなり、このときのPLTおよびPZTの組成はPLT ($x=0.1$)、PZT ($x=0.5$)とした。強誘電体薄膜は前記製造法を用いて形成した。ソース、ドレイン上にAl電極をつけ、全体にSiNを形成することで絶縁を行っている。ゲートの上部電極に好ましい電圧を印加することによって強誘電体薄膜が反転分極し、それによって生じる電荷によってソース、ドレイン間の電流が変化する。ゲート電圧 V_g とドレイン電流 I_d との関係を図4に示す。 V_g を負の方向に印加すると-5Vになったとき、ゲート強誘電体の分極現象により発生した電荷のためGaAs基板のソース・ドレイン間にチャンネルが形成されドレイン電流 I_d が流れ出す。次に V_g を正方向に増加して行くと5Vの時に I_d がオフ状態になる。この様にゲート電圧 V_g によりドレイン電流 I_d が制御でき、メモリ動作をすることが分かる。このオン・オフの状態は V_g を0Vにした時も保持できる。基板としてSiでなくGaAsを用いるため、強誘電体作製時にSiO₂などの酸化物が形成されず、また電子の移動速度もGaAsの方が速いため、高速メモリとしての特徴を持つ。

【0018】

【発明の効果】以上説明したように本発明に係る誘電体薄膜製造方法においては、ターゲットに荷電粒子もしくは紫外光を照射することによりターゲットからはじき出された粒子の運動エネルギーが通常の蒸着方法より高いことから、ペロブスカイト型強誘電体薄膜を低い基板温度で形成することができ、また基板としてGaAsを用いることにより、表面に酸化膜をほとんど形成することなく

5

エピタキシャルにペロブスカイト型強誘電体薄膜を成長させることができる。

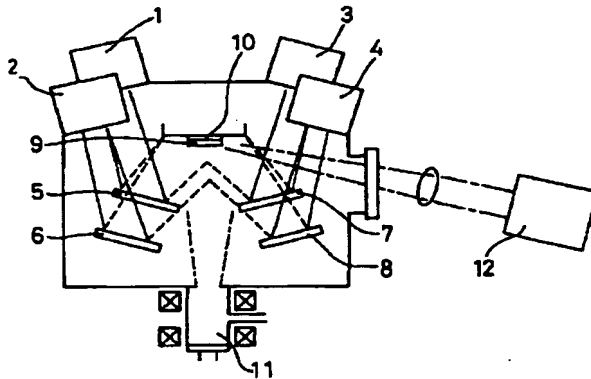
【0019】また本発明の構成において、形成するペロブスカイト型強誘電体薄膜を基板上に第1層としてPbとTiを主成分とするペロブスカイト型強誘電体薄膜、第2層としてPb、TiおよびZrを主成分とするペロブスカイト型強誘電体薄膜という好ましい構成にすればZrの含有に起因する結晶性の悪い初期層の形成を防ぐことができる。

【0020】また本発明の製造法を用いてGaAs FETのゲートに上記構成を有するペロブスカイト型強誘電体薄膜を作製すると、ゲート上の強誘電体薄膜の分極反転により、良好なメモリ動作をするFETが実現できた。

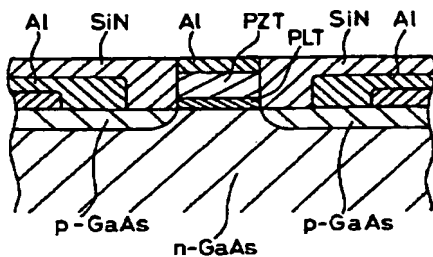
【図面の簡単な説明】

【図1】本発明の一実施例の誘電体薄膜の製造方法に用いた薄膜形成装置の概略図である。

【図1】



【図3】



6

【図2】本発明の一実施例の誘電体薄膜の製造方法により(100)GaAs基板上に形成された誘電体薄膜のX線回折強度を示す図である。

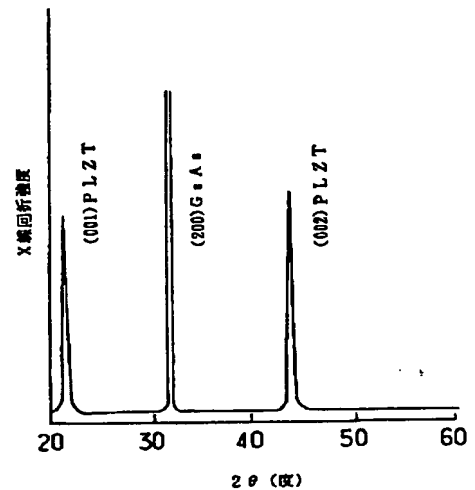
【図3】本発明の一実施例における誘電体薄膜をゲートキャパシタとしたFETの構成を示す図である。

【図4】本発明の一実施例における誘電体薄膜をゲートキャパシタとしたFETのゲート電圧とドレイン電流の関係をj示す図である。

【符号の説明】

- 1, 2, 3, 4 イオン源
- 5, 6, 7, 8 ターゲット
- 9 誘電体薄膜
- 10 基板
- 11 アシストイオン源
- 12 エキシマレーザ

【図2】



【図4】

